

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-284496

(43) 公開日 平成11年(1999)10月15日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 3 K 5/135

H 0 3 K 5/135

G 0 6 F 1/08

H 0 3 L 7/00

D

H 0 3 L 7/00

G 0 6 F 1/04

3 2 0 B

H 0 4 L 7/02

H 0 4 L 7/02

Z

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号

特願平10-83635

(22) 出願日

平成10年(1998) 3 月30日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通 2 丁目 5 番 5 号

(72) 発明者 林 浩二

大阪府守口市京阪本通 2 丁目 5 番 5 号 三  
洋電機株式会社内

(72) 発明者 秋山 徹

大阪府守口市京阪本通 2 丁目 5 番 5 号 三  
洋電機株式会社内

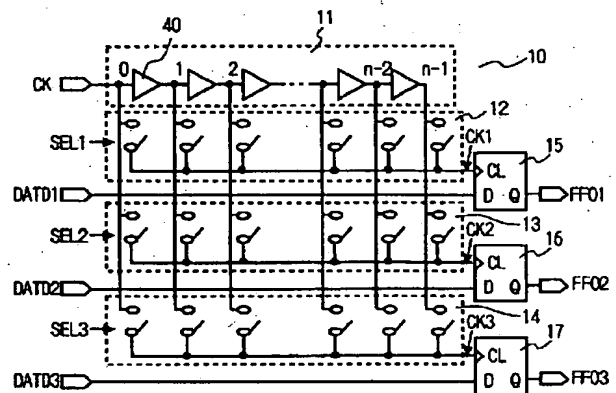
(74) 代理人 弁理士 安富 耕二 (外 1 名)

(54) 【発明の名称】 パルス遅延回路及びパルス制御回路

(57) 【要約】

【課題】 遅延素子を複数段接続して成る遅延回路を唯一用いて、複数の入力パルス信号を各々異なる量だけ遅延させることを可能とし、回路構成を小規模にすると共に、高速のクロックを用いることなくパルス遅延回路を実現する。

【解決手段】 インバータまたはコンパレータにより成る遅延素子を複数段接続して構成した遅延回路 11 によって、入力クロック信号 CK を遅延させ、この遅延回路に、複数段の遅延素子出力のいずれか一つを各セレクト信号に応じて選択し遅延クロック信号として出力する複数のセレクト 12, 13, 14 を並列に接続し、複数の D-FF 15, 16, 17 で、入力される複数の各パルス信号 DATD1, DATD2, DATD3 を複数のセレクトからの各遅延クロック信号 CK1, CK2, CK3 に各々同期させ、入力された複数のパルス信号を各々異なる量だけ遅延する。



## 【特許請求の範囲】

【請求項1】 遅延素子を複数段接続してクロック信号を遅延させる遅延回路と、前記複数段の遅延素子出力のいずれか一つを各セレクト信号に応じて選択し遅延クロック信号として出力する複数のセレクトと、入力される複数の各パルス信号を前記複数のセレクトからの各遅延クロック信号に各々同期させる複数の同期回路とを有し、前記入力された複数のパルス信号を各々異なる量だけ遅延可能としたことを特徴とするパルス遅延回路。

【請求項2】 前記遅延素子は、インバータまたはコンパレータにより構成されていることを特徴とする請求項1記載のパルス遅延回路。

【請求項3】 前記遅延回路は、遅延素子を複数段リング状に接続して構成され、各段の遅延量が入力される制御電圧により制御されるVCOと、該VCOの出力信号もしくはその分周信号と基準信号とを入力し両信号の位相を比較する位相比較器と、該位相比較器で検出された位相差に応じた前記制御電圧を発生するローパスフィルタと、前記VCOの遅延素子と同一構成の遅延素子を複数段接続して構成され、前記クロック信号を遅延させて出力すると共に各段の遅延量が前記制御電圧により制御されるディレイラインとを備えたことを特徴とする請求項1記載のパルス遅延回路。

【請求項4】 入力信号をクロック信号に同期させる第1の同期回路と、該第1の同期回路の出力信号を波形整形する波形整形回路と、複数の入力パルス信号を前記クロック信号に同期させる複数の第2の同期回路と、遅延素子を複数段接続して前記クロック信号を遅延させる遅延回路と、前記複数段の遅延素子出力のいずれか一つを各セレクト信号に応じて選択し遅延クロック信号として出力する複数のセレクトと、前記複数の第2の同期回路の各出力パルス信号を前記複数のセレクトからの各遅延クロック信号に各々同期させる複数の第3の同期回路と、該複数の第3の同期回路の各出力信号と前記波形整形回路の出力信号を入力する複数の論理回路とを有し、前記波形整形回路の出力信号に同期する複数のパルス信号を出力することを特徴とするパルス制御回路。

【請求項5】 前記波形整形回路は、遅延素子を複数段接続して前記第1の同期回路の出力信号を遅延させる第2の遅延回路と、該第2の遅延回路における複数段の遅延素子出力のいずれか一つをセレクト信号に応じて選択し遅延クロック信号として出力する第2のセレクトとを、少なくとも有することを特徴とするパルス制御回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、遅延素子を複数段接続した遅延回路を用いて構成したパルス遅延回路、及びこのパルス遅延回路を利用して入力信号と同期し且つ所定の関係を有するパルス信号を出力するパルス制御回

路に関する。

## 【0002】

【従来の技術】入力信号を遅延させる遅延回路としては、従来より遅延素子を複数段直列に接続したものが利用されている。CMOS構成の半導体装置においては、通常、PチャンネルMOSトランジスタとNチャンネルMOSトランジスタを縦続接続してなるインバータにより遅延素子が構成される。そして、セレクトにより複数の遅延素子段のいずれか一つの遅延出力を選択することによって入力信号の遅延量が決定される。尚、遅延素子としては、インバータの代わりにコンパレータを用いることもある。

【0003】また、遅延回路としては、クロック信号に同期して動作するDフリップフロップ(D-FF)を複数段直列に接続して構成することもできる。

## 【0004】

【発明が解決しようとする課題】従来の遅延回路を用いて、複数の入力パルス信号を各々異なる量だけ遅延させるためには、通常、入力パルス信号の数と同数の遅延回路及びセレクトを用意する必要があり、回路構成が大規模となる。更に、D-FFを用いた場合、遅延量を細かく設定するためには高速のクロックが必要となり、実際にはこのような高速のクロックを供給すること、及びこのような高速クロックに同期して安定して動作するD-FFを作ることともきわめて難しい。

## 【0005】

【課題を解決するための手段】本発明は、遅延素子を複数段接続してクロック信号を遅延させる遅延回路と、前記複数段の遅延素子出力のいずれか一つを各セレクト信号に応じて選択し遅延クロック信号として出力する複数のセレクトと、入力される複数の各パルス信号を前記複数のセレクトからの各遅延クロック信号に各々同期させる複数の同期回路とを有し、前記入力された複数のパルス信号を各々異なる量だけ遅延可能としたことを特徴とする。

【0006】また、本発明では、前記遅延回路は、遅延素子を複数段リング状に接続して構成され、各段の遅延量が入力される制御電圧により制御されるVCOと、該VCOの出力信号もしくはその分周信号と基準信号とを入力し両信号の位相を比較する位相比較器と、該位相比較器で検出された位相差に応じた前記制御電圧を発生するローパスフィルタと、前記VCOの遅延素子と同一構成の遅延素子を複数段接続して構成され、前記クロック信号を遅延させて出力すると共に各段の遅延量が前記制御電圧により制御されるディレイラインとを備えたことを特徴とする。

【0007】また、本発明は、入力信号をクロック信号に同期させる第1の同期回路と、該第1の同期回路の出力信号を波形整形する波形整形回路と、複数の入力パルス信号を前記クロック信号に同期させる複数の第2の同

期回路と、遅延素子を複数段接続して前記クロック信号を遅延させる遅延回路と、前記複数段の遅延素子出力のいずれか一つを各セレクト信号に応じて選択し遅延クロック信号として出力する複数のセレクトと、前記複数の第2の同期回路の各出力パルス信号を前記複数のセレクトからの各遅延クロック信号に各々同期させる複数の第3の同期回路と、該複数の第3の同期回路の各出力信号と前記波形整形回路の出力信号を入力する複数の論理回路とを有し、前記波形整形回路の出力信号に同期する複数のパルス信号を出力することを特徴とする。

【0008】

【発明の実施の形態】図1は、本発明の実施形態を示すパルス遅延回路10のブロック図であり、11はインバータよりなる遅延素子40を複数段直列に接続して構成され、入力されるクロック信号CKを遅延させる遅延回路であって、この遅延回路11にセレクト12, 13, 14が並列に接続されている。各セレクトは、遅延回路11における複数段の遅延素子40の各出力信号を入力し、セレクト信号SEL1, SEL2, SEL3に応じていずれか一つを選択して遅延クロックとして送出するものであり、各遅延クロックCK1, CK2, CK3は各々D-FF15, 16, 17のクロック端子CLに印加されている。また、D-FF15, 16, 17のデータ端子Dには、パルス信号DATD1, DATD2, DATD3が各々入力されている。

【0009】遅延回路11は、より具体的には遅延素子40を16段接続して成り、クロック信号CKの周期をTとすれば、各遅延素子の遅延量 $dt$ は $T/16$ に設定されている。よって、例えばセレクト信号SELとして「4」が入力されると、4段目の遅延素子40の出力信号が選択されて、その遅延出力の遅延量は $4T/16=0.25T$ となる。

【0010】そこで、図3aに示すようなクロック信号CKが遅延回路11に入力され、D-FF15, 16, 17に入力パルス信号DATD1, DATD2, DATD3として各々図3b, e, hに示す異なるデータ信号が入力され、更に、セレクト12, 13, 14にセレクト信号SEL1, SEL2, SEL3として各々「1」「2」「8」「4」が供給されたとする。

【0011】すると、セレクト12では12段目の遅延クロックCK1(図3c)が選択され、その遅延量 $dt_1=12T/16=0.75T$ となる。そして、D-FF15では、入力パルス信号DATD1をこの遅延クロックCK1に同期させるため、出力パルス信号FFO1は図3dに示すように入力パルス信号DATD1を0.75Tだけ遅延させた信号となる。同様に、セレクト13では8段目の遅延クロックCK2(図3f)が選択され、その遅延量 $dt_2=8T/16=0.5T$ となる。そして、D-FF16では、入力パルス信号DATD2をこの遅延クロックCK2に同期させるため、出力パル

ス信号FFO2は図3gに示すように入力パルス信号DATD2を0.5Tだけ遅延させた信号となる。また、セレクト14では4段目の遅延クロックCK3(図3i)が選択され、その遅延量 $dt_3=4T/16=0.25T$ となる。そして、D-FF17では、入力パルス信号DATD3をこの遅延クロックCK3に同期させるため、出力パルス信号FFO3は図3jに示すように入力パルス信号DATD3を0.25Tだけ遅延させた信号となる。

【0012】このように、パルス遅延回路10では、異なる入力パルス信号を各々異なる遅延量だけ遅延させることができる。次に、以上説明したパルス遅延回路の応用例について説明する。例えばCD-R等の書き込み可能な光ディスク装置においては、データを記録するメディアの種類やディスクの回転速度によって記録状態が変化するため、EFM信号に遅延処理を施して波形整形し、波形整形後のEFM信号をレーザー装置に送出して、所望の記録マークを記録するようにしている。更に、レーザー出力のモニター用として、波形整形後のEFM信号に同期し且つこのEFM信号と所定の関係を有する複数のパルス信号を出力しなければならず、このような複数のパルス信号を生成するために、上述のパルス遅延回路10が用いられる。

【0013】即ち、図2はCD-R用記録再生装置に用いられるパルス制御回路30を示すブロック図であり、図1に示すパルス遅延回路10を含んで構成されている。パルス遅延回路10の前段には、複数のパルス信号DAT1, DAT2, DAT3を各々データ端子Dに入力し、クロック端子CLにクロック信号CKが印加される3個のD-FF31, 32, 33が設けられ、各D-FFの出力がパルス遅延回路10への入力信号DATD1, DATD2, DATD3となる。また、EFM信号をデータ端子Dに入力し、クロック端子CLにクロック信号が印加されるD-FF34と、このD-FF34の出力信号を波形整形する波形整形回路35と、パルス遅延回路10の各D-FF15, 16, 17の出力信号FFO1, FFO2, FFO3を各々一端に入力し、他端に波形整形回路30の出力信号WDATを入力するANDゲート36, 37, 38が設けられている。

【0014】波形整形回路30は、遅延回路10と同様、インバータよりなる遅延素子40を複数段直列に接続して構成され、入力されるEFM信号を遅延させる遅延回路350と、遅延回路350における複数段の遅延素子40の各出力信号を入力し、セレクト信号SEL0に応じていずれか一つを選択するセレクト351と、セレクト351からの遅延出力とEFMD信号と論理積をとるANDゲート352から構成されている。

【0015】そして、以上の構成により図4に示すように、入力されたEFM信号(図4a)に基づいて、遅延処理による波形整形を施した出力パルス信号WDAT

(図4b)、信号WDATの立ち上がりから一定期間T1経過後に立ち上がり、WDATと同時に立ち下がるパルス信号OUT1(図4c)、及び信号WDATと同時に立ち上がり一定パルス幅T2を有するパルス信号OUT2(図4d)を出力する。

【0016】以下、図5、6を参照してこれら複数のパルス信号の生成過程を説明する。まず、図5bに示すようなパルス幅6TのEFM信号が入力されると、D-FF34によりEFM信号は1T遅延されて信号EFMD(図5c)となる。ここで、セレクト信号SEL0として「4」が供給されているとすれば、遅延回路350では4段目の遅延素子40からの遅延出力がセクタ351で選択され、その遅延量dt4は「0.25T」となる。この遅延出力はANDゲート352で信号EFMDと論理積がとられるので、結局図5dに示すように、EFMD信号より立ち上がりが0.25T遅延し、EFMDと同時に立ち下がる信号WDATが得られる。

【0017】また、EFM信号と同時に立ち上がりEFM信号より1Tだけ伸張されたパルスODAT1(図5e)を用意し、この信号を1T遅延させた信号DAT1をD-FF31への入力パルス信号とする。D-FF31では入力信号が1T遅延されるので、その出力信号DATD1は図5gのようになる。一方、D-FF32の入力用として、図6eに示すようにパルス幅が一定値2TでEFM信号の立ち上がりと同時に立ち下がるパルス信号ODAT2を用意し、この信号を1T遅延させた信号DAT2をD-FF32への入力パルス信号とする。D-FF32では入力信号が1T遅延されるので、その出力信号DATD2は図6gのようになる。

【0018】ここで、図4、5における出力信号OUT1の所定期間T1を「1.5T」、図4、6における出力信号OUT2のパルス幅T2を「1.25T」にしたい場合は、セレクト信号SEL1として「12」、SEL2として「8」を供給する。すると、セレクト信号SEL1が「12」であることからセクタ12では、図5hに示すように、12T/16=0.75T遅延された遅延クロックCK1が選択され、D-FF15に出力され、また、セレクト信号SEL2が「8」であることからセクタ13では、図6hに示すように、8T/16=0.5T遅延された遅延クロックCK2が選択され、D-FF16に出力される。このため、D-FF15では、パルス信号DATD1が0.75T遅延されて出力信号FFO1(図5i)となり、D-FF16では、パルス信号DATD2が0.5T遅延されて出力信号FFO2(図6i)となる。そして、出力信号FFO1と信号WDATとの論理積がANDゲート36でとられるので、その出力パルス信号OUT1は、図5jに示すように、信号FFO1と同時に立ち上がり信号WDATと同時に立ち下がる信号となる。ここで、信号DAT1の立ち上がりから信号DATD1の立ち上がりまでは

「1T」、信号DATD1の立ち上がりから信号FFO1の立ち上がりまでは「0.75T」、信号DAT1の立ち上がりから信号WDATの立ち上がりまでは「0.25T」であるので、信号WDATの立ち上がりから信号OUT1の立ち上がりまでの期間T1は、 $T1 = (1.0T + 0.75T) - 0.25T = 1.5T$ と、所望の期間となる。

【0019】一方、出力信号FFO2は信号WDATとの論理積がANDゲート37でとられるので、その出力パルス信号OUT2は、図6jに示すように、信号WDATと同時に立ち上がり信号FFO2と同時に立ち下がる信号となる。ここで、信号DATD2の立ち上がりから信号EFMDの立ち上がりまでは「1T」、信号DATD2の立ち上がりから信号FFO2の立ち上がりまでは「0.5T」なので、信号FFO2の立ち上がりから信号EFMDの立ち上がりまでは「0.5T」となる。更に、信号EFMDの立ち上がりから信号WDATの立ち上がりまでは「0.25T」なので、信号FFO2の立ち上がりから信号WDATの立ち上がりまでは「0.75T」となる。そして、信号FFO2のパルス幅は「2T」であるので、信号WDATと同時に立ち上がる信号OUT2のパルス幅T2は、 $T2 = 2T - 0.75T = 1.25T$ と、所望の幅となる。

【0020】以上説明したように、パルス幅制御回路30では、波形整形回路35の出力信号WDATに同期し、この信号と所定の関係を有する複数のパルス信号出力を得ることができる。尚、波形整形回路35では、遅延回路やセクタ及び論理回路を追加して、立ち上がりだけでなく、立ち下がりも所定量遅延させるようにしても良い。

【0021】ところで、図1、2に示した遅延回路11、350を構成する遅延素子40は、製造ばらつきにより遅延素子を構成するトランジスタの特性が均一にならないために、遅延量にばらつきが生じる。そこで、遅延量を高精度に設定したい場合は、遅延回路11、350として、図7に示す遅延回路1を用いればよい。尚、図7に示すセクタ20は、図1、2でのセクタ12、13、14、351と同等のセクタを示す。

【0022】図7に示す遅延回路1は、入力信号を遅延するためのディレイライン2と、このディレイライン2の遅延量を制御するためのPLL回路3から成る。PLL回路3は、入力される制御電圧Vtにより出力信号周波数が変化するVCO4と、VCO4の出力信号を1/Nに分周するプログラマブルデバイダ5と、入力される基準信号RCLKを1/Mに分周するリファレンスデバイダ6と、両デバイダ5、6の出力信号の位相を比較する位相比較器7と、位相比較器7により検出された位相差に応じた制御電圧VtをVCO3に供給するローパスフィルタ8とを備えており、両デバイダ5、6とも分周比が変更可能なデバイダである。また位相比較器7の出力段

にはチャージポンプが設けられている。

【0023】このPLL回路3中のVCO4は、図7に示すように、遅延セル40を複数段直列に接続し、更に最終段の遅延セル41の出力を初段に負帰還するリング状の構成であって、最終段の出力をバッファ45を介してプログラマブルデバイダ5に送出している。また、各遅延セルは第1及び第2の制御端子を有し、第1の制御端子にバイアス回路46からの一定バイアスVbが供給され、第2の制御端子にローパスフィルタ8からの制御電圧Vtが供給されている。

【0024】一方、ディレイライン2は、VCO4を構成する遅延セルと同一構成の遅延セル40を、複数段直列に接続して構成され、VCO4とは異なり初段の遅延セルには外部から入力信号SINが印加されている。そして、セクタ20で各段の遅延セルからの出力のいずれか一つを選択し、遅延信号SOUTとして取り出すようにしている。尚、図7に示す回路は同一チップ内の近傍に構成されており、このため遅延セルの遅延特性は、VCO4とディレイラインとではほぼ同一となる。

【0025】ここで、図8を参照して、遅延セル40の具体構成について説明する。遅延セル40は、基本的には、PチャンネルMOSTランジスタとNチャンネルMOSTランジスタを縦続接続してなるインバータ101、102を2段直列に接続して構成されており、各インバータ101、102の後ろにバッファ103、104が接続されている。また、インバータ101、102の電源電位との間には電流制御用のPチャンネルMOSTランジスタ105、106が接続され、インバータ101、102の接地電位との間には電流制御用のNチャンネルMOSTランジスタ107、108が接続されている。この電流制御用のPチャンネルMOSTランジスタ105のゲートは第1の制御端子110に接続され、電流制御用のNチャンネルMOSTランジスタ107のゲートは第2の制御端子111に接続されている。尚、109は寄生容量を示す。

【0026】そして、本実施形態においては、第1の制御端子110にバイアス回路46からの一定バイアスVbが供給され、第2の制御端子111にローパスフィルタ8からの制御電圧Vtが供給されている。よって、制御電圧Vtが大きくなるとインバータ101、102に流れる電流が増加して入力信号INの遅延量dtは減少し、制御電圧Vtが小さくなるとインバータ101、102に流れる電流が減少して入力信号INの遅延量dtは増加する。このように、遅延セル40の遅延量dtは制御電圧Vtの大きさに応じて変化する。

【0027】ところで、VCO4の最終段は負帰還をかけるために、遅延セル40の前半部分のみ、即ちインバータ101、バッファ103、制御用トランジスタ105、107で構成されており、インバータ101の出力がVCO4の初段の遅延セル40に入力されている。以

下、図7に示す実施形態の動作を説明する。

【0028】まず、VCO4の出力信号周波数f1はプログラマブルデバイダ5によって1/Nに分周されf1/Nになり、基準信号周波数f0はリファレンスデバイダ6により分周されf0/Mになる。これらの分周信号は位相比較器7でその位相が比較され、ローパスフィルタ8からは位相差に応じた制御電圧VtがVCO4に供給される。これによって、両デバイダの出力信号の位相差をなくすようにPLL回路3が動作し、PLLがロックすると式(1)が成り立つ。

【0029】

【数1】

$$f1/N = f0/M \quad \dots\dots(1)$$

【0030】一方、VCO4では、上述したようにローパスフィルタ8からの制御電圧Vtにより各遅延セルの遅延量dtが決定され、初段の遅延セル40に入力された信号dt0は、図9に示すように各遅延セル40で順次dtづつ遅延されていく。そして、最終段の遅延セル41では信号が反転され、この反転信号が折り返し遅延dαの後に初段に帰還される。つまり、折り返し遅延dαがdtに比べて十分小さいとすれば、VCO4の周期Tの半周期T/2は、遅延量dtを遅延セル40の段数D分だけ加算した長さとなる。従って、遅延量dtは式(2)で表される。

【0031】

【数2】

$$T/2 = dt \cdot D \quad \dots\dots(2)$$

【0032】ここで、周期Tは1/f1であって、上述したようにPLL回路3がロックすると式(1)が成立するので、ロック状態では、遅延量dtは式(3)で表される。

【0033】

【数3】

$$dt = (M/N) \cdot (1/2D \cdot f0) \quad \dots\dots(3)$$

【0034】つまり、VCOの遅延セル段数Dと分周比M、Nを決定すれば、遅延セル40の遅延量dtは、基準信号RFCKの周波数f0のみに依存する一定値となる。ところで、図7に示す回路では、上述したようにディレイライン2を構成する遅延セルはVCO4の遅延セルと全く同一の構成であり、しかもディレイライン2中の遅延セルに供給される制御電圧もVCO4の遅延セル40に供給される制御電圧Vtと全く同一である。このため、ディレイライン2中の遅延セルの遅延量は、VCO4の遅延セル40の遅延量dtと全く同一となり、PLLのロック時には基準信号周波数f0に依存した一定値となる。

【0035】ディレイライン2は、入力信号SINを遅延セル40で順次遅延して、セクタ20により所望の段の遅延出力を選択して、遅延信号SOUTとして出力する構成であり、この各遅延セル段の遅延量dtがPLLロッ

ク時には一定値となるので、ディレイライン2においてセクタ20から出力する遅延信号の遅延量も所望の一定値となる。つまり、このディレイライン2では、製造時の調整は不要となり、且つPLL回路3で保証される精度で遅延量を設定でき、このためpsecオーダーでの高精度の設定が可能となる。しかも、PLLでは電源変動や温度変動に対しても保証されるので、ディレイライン2の遅延量もこれら変動の影響を受けなくなる。

【0036】また、基準信号RFCKの周波数 $f_0$ や分周比M、Nを変更するだけで、遅延量 $d_t$ を用意に変更できるので、ディレイライン2の分解能の設定が容易となる。たとえば、VCO4の段数Dが「16段」である場合、分周比M、Nを各々「2」とし、 $f_0$ を「17.28MHz」とすれば、式(3)より遅延量 $d_t$ は「1.81nsec」となる。そして、分周比M、Nを各々「4」に変更し、 $f_0$ を「34.56MHz」に変更すれば、式(3)より遅延量 $d_t$ は「0.90nsec」とpsecオーダーの分解能となる。

【0037】更に、図10のVCO特性に示すように、PLLがロックする周波数範囲は広く、この範囲内で遅延セルの遅延量 $d_t$ を変更できるので、ディレイライン2の遅延量可変範囲を広帯域とすることができる。以上説明した実施形態は、遅延セル内の遅延素子をインバータで構成する例を示したが、インバータの代わりにコンパレータを用いる構成でも良い。また、遅延セル内の一方の電流制御用トランジスタ105、106には一定バイアスを印加し、他方の電流制御用トランジスタ107、108のみにローパスフィルタ8からの制御電圧 $V_t$ を供給するようにしたが、双方の電流制御用トランジスタに制御電圧 $V_t$ を供給するようにしてもよい。

【0038】

【発明の効果】本発明によれば、遅延素子を複数段接続して成る遅延回路を唯一用いて、複数の入力パルス信号を各々異なる量だけ遅延させることが可能となり、回路構成を小規模にする事ができる。よって、LSI化した場合に面積を小さくすることができる。また、高速のクロックを必要としないので回路の実現化が容易となり、更に、PLL回路を用いた場合には遅延量を高精度で設定できるようになる。

【図面の簡単な説明】

【図1】本発明によるパルス遅延回路の実施形態を示すブロック図である。

【図2】本発明によるパルス制御回路の実施形態を示すブロック図である。

【図3】図1に示す実施形態の動作を説明するためのタイミングチャートである。

【図4】図2に示す実施形態の概略動作を説明するためのタイミングチャートである。

【図5】図2に示す実施形態の詳細動作を説明するためのタイミングチャートである。

【図6】図2に示す実施形態の詳細動作を説明するためのタイミングチャートである。

【図7】遅延回路の他の実施形態を示すブロック図である。

【図8】遅延セルの具体構成を示す回路図である。

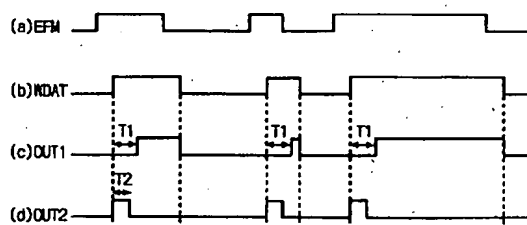
【図9】図7におけるVCOの動作を説明するためのタイミングチャートである。

【図10】図7におけるVCO特性及び遅延特性を示す特性図である。

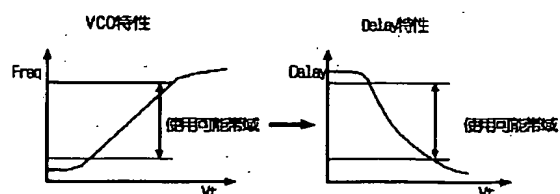
【符号の説明】

- 1、11、350 遅延回路
- 2 ディレイライン
- 3 PLL回路
- 4 VCO
- 5 プログラマブルデバイダ
- 6 リファレンスデバイダ
- 7 位相比較器
- 8 ローパスフィルタ
- 10 パルス遅延回路
- 12、13、14、351、20 セクタ
- 15、16、17、31、32、33、34 D-FF
- 30 パルス制御回路
- 35 波形整形回路
- 36、37、38、352 ANDゲート
- 40 遅延セル
- 101、102 インバータ
- 105、106、107、108 電流制御用トランジスタ
- 110 第1制御端子
- 111 第2制御端子

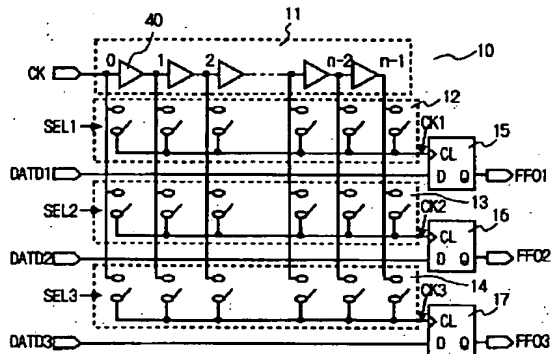
【図4】



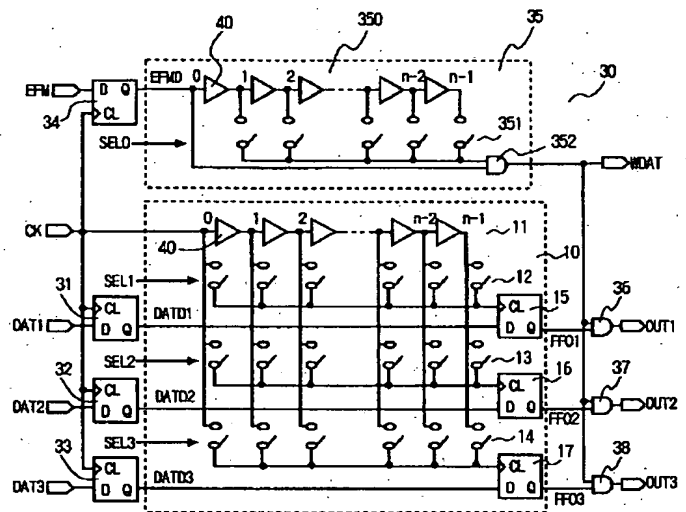
【図10】



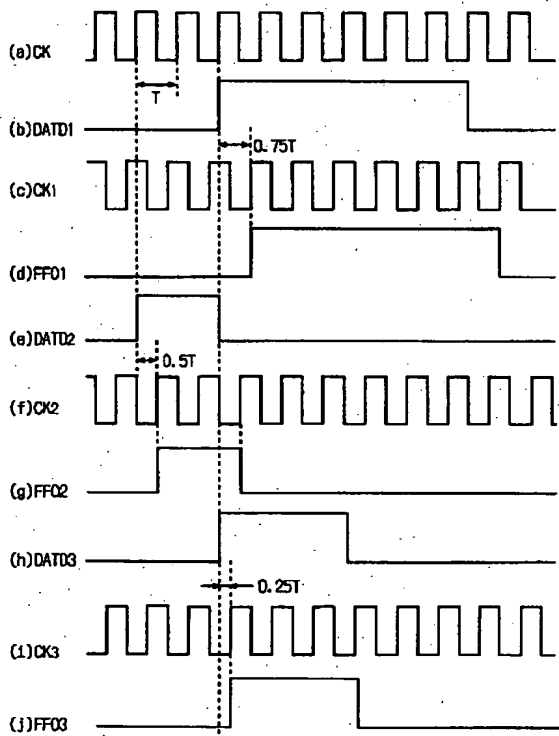
【図1】



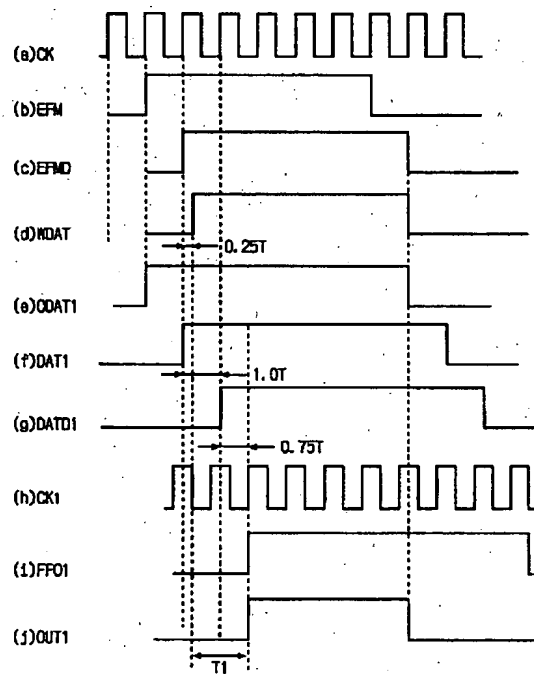
【図2】



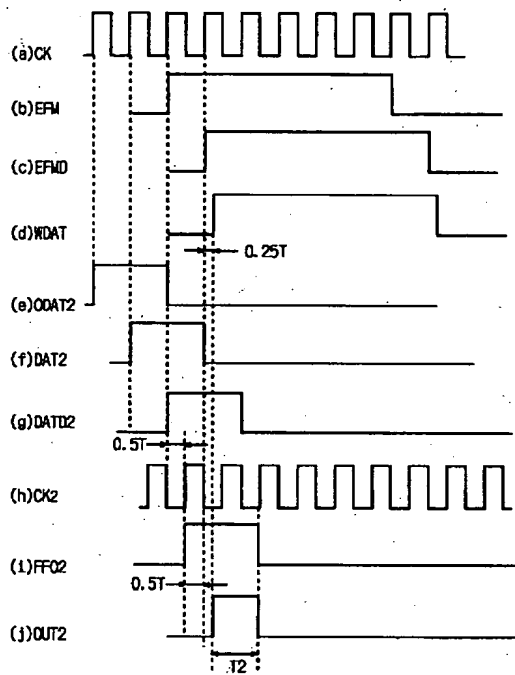
【図3】



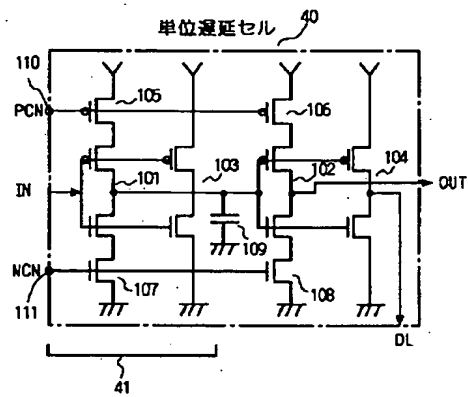
【図5】



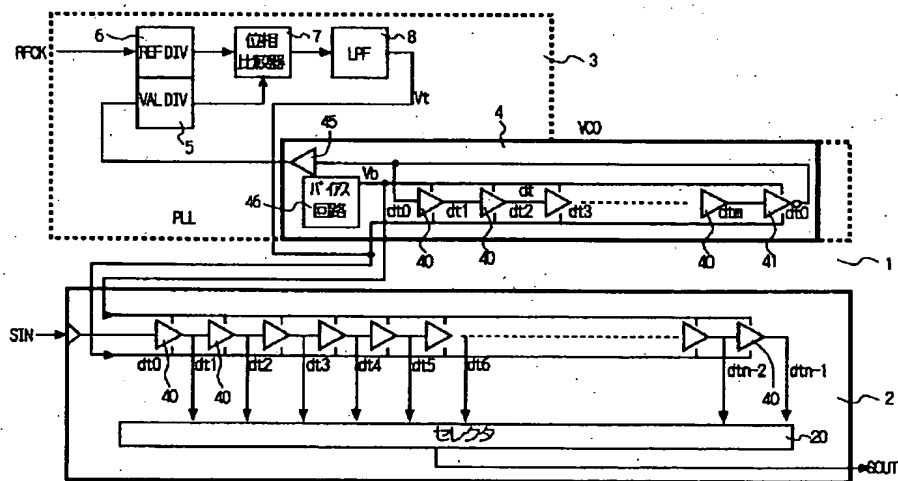
【図6】



【図8】



【図7】





【図9】

